

一种 FPGA 芯片时钟 SKEW 的测试方法

谢长生¹, 于宗光², 张艳飞², 王德龙¹, 胡 凯²

(1 无锡中微亿芯有限公司, 江苏 无锡 214072; 2 中国电子科技集团公司 第五十八研究所, 江苏 无锡 214035)

摘 要: 随着 FPGA 规模的扩大和工作频率的提高, 时钟 Skew 成为 FPGA 越来越重要的性能指标, 而如何精确测试芯片中的时钟 Skew 也就显得尤为重要. 对此以 JFPGA-YX2 芯片为例, 介绍一种可以精确测量 FPGA 时钟 Skew 的测试方法. 将芯片内部的时钟资源通过配置逻辑配置成一系列的环形振荡器, 每个振荡器的振荡频率由该振荡器所包含路径的延时决定. 对这些振荡器的测量频率值进行运算处理即可获得精确的时钟 Skew.

关键词: FPGA; SKEW; 环形振荡器; 测试

中图分类号: TP303

文献标识码: A

文章编号: 1000-7180(2017)06-0137-04

Methods for Measuring Clock Skew on FPGA Devices

XIE Chang-sheng¹, YU Zong-guang², ZHANG Yan-fei², WANG De-long¹, HU Kai²

(1 Wuxi Zhongweiyixin Co., Ltd., Wuxi 214072, China;

2 NO. 58 Research Institute, China Electronics Technology Group Corporation, Wuxi 214035, China)

Abstract: During FPGA is becoming larger and clock frequency higher, the clock skew is key factor during design implemented, so it's more important to get the clock skew parameter of FPGA clock system when FPGA device design. In the paper, based on JFPGA-YX2 device, introduce methods to measure accurately skew of clock distribution networks on FPGA, it use ring oscillators formed on the device using clock tree and configurable logic, then measure the frequency of the ring oscillator, last calculate and get the clock propagation delay and clock skew.

Key words: FPGA; SKEW; ring oscillator; test

1 引言

现场可编程门阵列 FPGA(Field Programmable Gate Array)是一种常见的可编程逻辑器件, 通常包含可配置逻辑块(CLCs)、内部模块之间的各种连线资源、输入/输出模块(IOBs)等. FPGA 可以通过下载配置数据到内部的配置存储单元中来定义 CLCs、连线资源、IOBs 等如何配置连接.

为确保 FPGA 器件在用户应用中能够工作在高时钟频率下而不引起时序问题, 首先需要优化 FPGA 芯片设计中的时钟架构以得到尽可能小的时钟 Skew, 并通过精确的测量得到该 Skew 值, 据此用户应用开发软件通过时序驱动的布局布线工具和时序分析工具来满足设计的性能要求和确保正确工

作的时序裕量^[1]. 然而传统的时钟 Skew 测试电路通常会引入比待测时钟 Skew 更大的测量误差, 因此一种能更精确测量 FPGA 时钟 Skew 的方法是迫切需要的.

2 时钟 Skew 测试原理

图 1 所示为 JFPGA-YX2 的时钟网络示意图, 其中包括时钟全局时钟缓冲器 GBUF、时钟树网络(包括时钟长线)以及时钟负载 CLC 等. 从图 1 中可以看出, 要测量的每个时钟负载 CLC 之间的时钟 Skew 其实就是相应时钟长线的延迟差. 为了精确测量这些时钟长线的延迟, 我们将图 1 中的时钟资源(GBUF、时钟长线等)通过配置逻辑配置成一系列环形振荡器^[2], 环形振荡器的示意图如图 2 所示.

由于环形振荡电路需要奇数个非门才能振荡产生时钟,因此可将两个 CLC 分别配置成 BUF(缓冲器)和 INV(反相器),即图 2 中的 CLC(BUF)和 CLC(INV)模块^[3].图 2 中环形振荡电路的时钟频率 f 与环路中各模块延时(包括线延迟)之和 T_{loop} 之间的关系如式(1)所示.由式(1)知,只要测量出环路振荡器的输出时钟频率,即可准确计算环路振荡器的环路总延时^[4].

$$T_{\text{loop}} = \frac{1}{2} \times T = \frac{1}{2} \times \frac{1}{f}$$

(1)

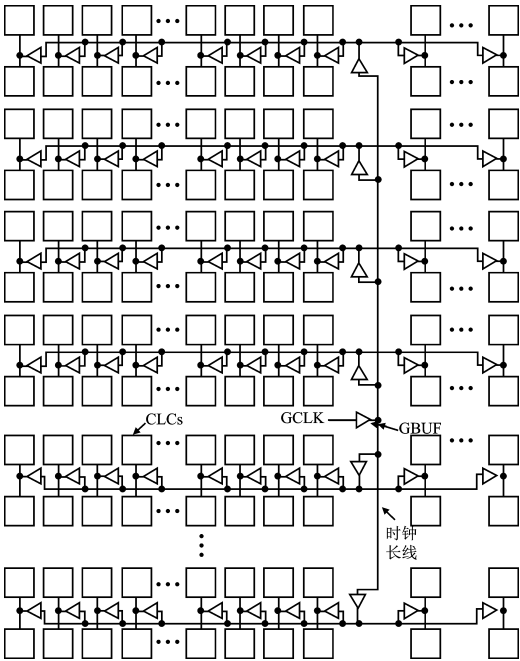


图 1 JFPGA-YX2 芯片时钟网络示意图

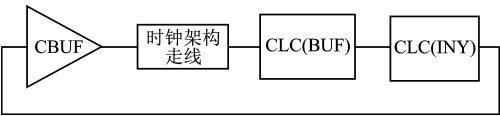


图 2 环形振荡电路示意图

要完成时钟长线延迟的精确测量,需要四个时钟网络组成的环形振荡器.

(1) 环形振荡器 1

环形振荡器 1 的电路示意图如图 3 中的环路 1 所示.其中从 CLC X1Y4 的输入到 GBUF 输出时钟长线第一个节点位置延迟用 t_d 表示.跨越一个时钟区域的一段时钟长线“line”的延迟用 t_{line} 表示,跨越两个时钟区域的两段时钟长线“2line”的延迟用 $t_{2\text{line}}$ 表示,跨越三个时钟区域的三段时钟长线“3line”的延迟用 $t_{3\text{line}}$ 表示,本文以测量 $t_{3\text{line}}$ 为例.从时钟长线节点到 CLC X1Y1 输入端的延迟用 t_c 表示,CLC

X1Y1 输入到输出的延迟用 t_{clc} 表示,从 CLC X1Y1 输出到 CLC X1Y4 输入的延迟用 t_{bt} 表示,则环路振荡器 1 的环路总延迟 t_1 可用式(2)表示.

$$T_1 = t_d + t_{3\text{line}} + t_c + t_{\text{clc}} + t_{\text{bt}}$$

(2)

(2) 环形振荡器 2

环形振荡器 2 的电路示意图如图 3 中的环路 2 所示.其中从 CLC X1Y4 的输入到 GBUF 输出时钟长线第一个节点位置的延迟用 t_d 表示,从时钟长线到 CLC X1Y7 输入端的延迟用 t_c 表示,CLC X1Y7 输入到输出的延迟用 t_{clc} 表示,从 CLC X1Y7 输出到 CLC X1Y4 输入的延迟用 t_{tb} 表示,则环路振荡器 2 的环路总延迟 t_2 可用式(3)表示.

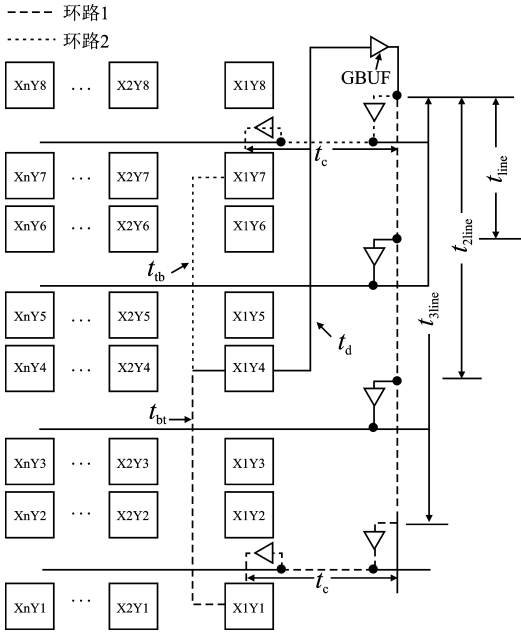


图 3 环形振荡器 1 和环形振荡器 2 示意图

$$T_2 = t_d + t_c + t_{\text{clc}} + t_{\text{tb}}$$

(3)

式(2)与式(3)相减得:

$$T_1 - T_2 = t_{3\text{line}} + t_{\text{bt}} - t_{\text{tb}}$$

(4)

(3) 环形振荡器 3

环形振荡器 3 的电路示意图如图 4 中环路 3 所示.其中从 CLC X1Y12 的输入到 GBUF 输出时钟长线第一个节点位置的延迟用 t_d 表示,三段时钟长线的延迟用 $t_{3\text{line}}$ 表示,从时钟长线到 CLC X1Y15 输入端的延迟用 t_c 表示,CLC X1Y15 输入到输出的延迟用 t_{clc} 表示,从 CLC X1Y15 输出到 CLC X1Y12 输入的延迟用 t_{tb} 表示,则环路振荡器 3 的环路总延迟 t_3 可用式(5)表示.

$$T_3 = t_d + t_{3\text{line}} + t_c + t_{\text{clc}} + t_{\text{tb}}$$

(5)

(4) 环形振荡器 4

环形振荡器 4 的电路示意图如图 4 中的环路 4

所示.其中从 CLC X1Y12 的输入到 GBUF 输出时钟长线第一个节点位置的延迟用 t_d 表示,从时钟长线到 CLC X1Y9 输入端的延迟用 t_c 表示,CLC X1Y9 输入到输出的延迟用 t_{clc} 表示,从 CLC X1Y9 输出到 CLC X1Y12 输入的延迟用 t_{bt} 表示,则环路振荡器 4 的环路总延迟 T_4 可用式(6)表示.

$$T_4 = t_d + t_c + t_{clc} + t_{bt} \quad (6)$$

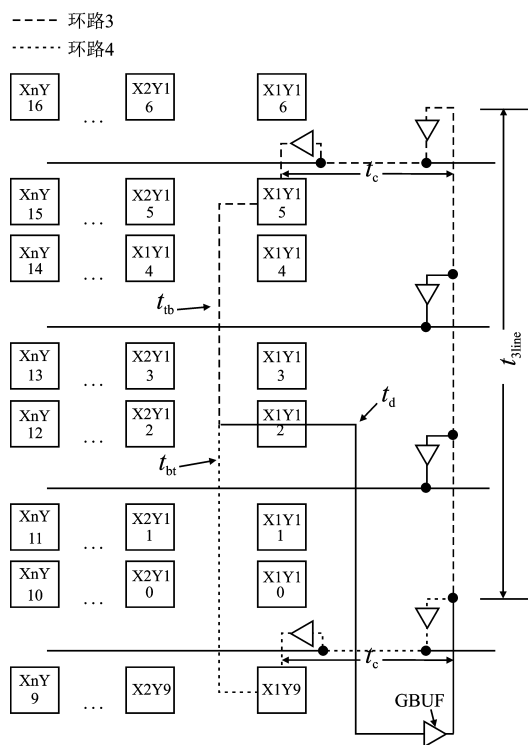


图4 环形振荡器3和环形振荡器4示意图

式(5)与式(6)相减得:

$$T_3 - T_4 = t_{3line} + t_{tb} - t_{bt} \quad (7)$$

式(4)与式(7)相加得:

$$T_1 - T_2 + T_3 - T_4 = 2t_{3line} \quad (8)$$

若四个环形振荡器输出时钟频率分别为 f_1, f_2, f_3, f_4 , 则纵向时钟长线“3line”的延迟 t_{3line} 可表示为

$$t_{3line} = \frac{1}{4} \left(\frac{1}{f_1} - \frac{1}{f_2} - \frac{1}{f_3} - \frac{1}{f_4} \right) \quad (9)$$

由于时钟长线上每个时钟输出端的负载不一致,会导致即使相等的一段 line 的时钟长线的延迟并不相同,这样就需要详细测量“2line”、“line”的时钟长线的延迟 t_{2line} 和 t_{line} , 方法和测量 t_{3line} 的方法相同. 上述方法不仅可以用于 FPGA 芯片中纵向时钟长线的延迟测试,也可以用于横向时钟长线的延迟测试.

3 测试方法

本测试方法基于上节所介绍的测试原理,将四个测试环路整合为一个测试环路,用一个测试用例实现,一方面可以降低测试时间,提高测试效率,另一方面也可以降低测试误差. 整合后的测试环路原理图如图5所示,引入一个控制信号 SEL 选择其中一个路径作为测试环路. SEL 为高电平时,选择路径1和4组成测试环路,反之选择路径2和3组成测试环路. 在测试环路切换时,前一个测试环路会对后一个测试环路的振荡造成干扰,采用 CLR 在环路切换之前对测试环路进行清零来消除这种情况.

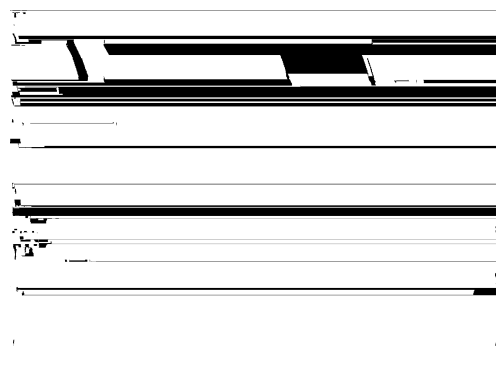


图5 长线延时测试原理图

图6所示为整合为一个测试环路的电路示意图,其中控制信号 SEL 和清零信号 CLR 未画出. 若测得环路1和环路2的输出频率分别为 f_1, f_2 , 则纵向时钟长线的延迟 t_{3line} 可表示为

$$t_{3line} = \frac{1}{4} \left(\frac{1}{f_1} - \frac{1}{f_2} \right) \quad (10)$$

式(10)为理想情况下的长线延迟计算公式,然而在实际测试中会有时钟抖动、噪声、振荡环路的差异(由于芯片工艺参数的分布波动等因素造成)以及测量系统误差等影响测试精度的因素. 为了减小这些因素的影响,可以通过长线多次叠加测试的方法,即对同一段长线采用不同环路叠加形成一个大的测试环路进行测试,对于进行了 n 次叠加测试的长线延迟计算公式可修正为

$$t_{3line} = \frac{1}{4 * n} \left(\frac{1}{f_1} - \frac{1}{f_2} + t_{err} \right) \quad (11)$$

式中, t_{err} 为时钟抖动、噪声、测量误差等等效成的延时误差. 本文所测试芯片的时钟资源最多可支持16次叠加测试,可大大提高长线延迟的测量精度.

4 测试结果

本次测试采用上节所述的测试方法,其中叠加

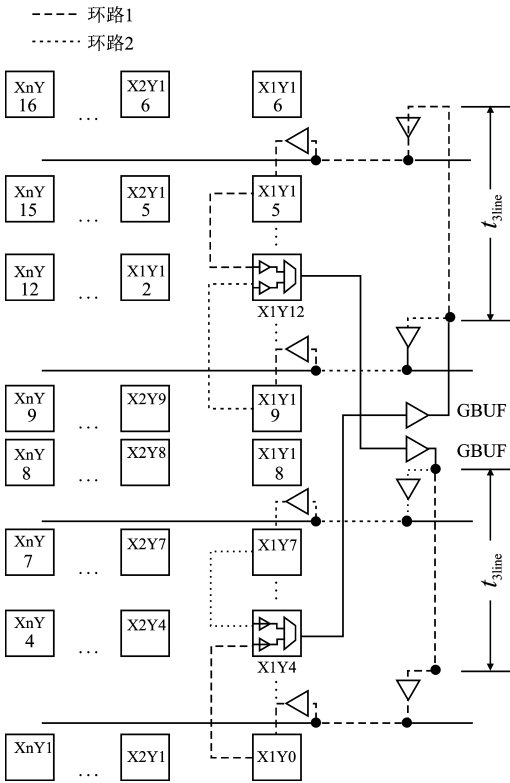


图 6 长线延时测试电路示意图

次数为 10 次. 另外 FPGA 中垂直时钟长线总线是由多根时钟长线组成, 为了更好地表征间隔 3 个时钟区域的时钟 Skew, 分别对“3line”类的不同根时钟长线进行测试, 同时多次测试及不同测试环路的选择也能降低测量系统的误差. 本次测试将对同属“3line”类的 4 根时钟长线(分别为长线 A、B、C、D)进行测试并取平均的方法来获得最终测试结果. 表 1 所示为 JFPGA-YX2 芯片时钟长线延时 $t_{3\text{line}}$ 在常温下的测试结果.

通过纵向时钟长线延时 $t_{3\text{line}}$ 的测试, 我们得到了纵向时钟长线间隔 3 个时钟区域造成的时钟 Skew 值.

限于篇幅原因, 本文仅介绍了 FPGA 中纵向时钟长线延时的测试原理及时钟长线“3line”测试结果, 横向时钟长线延时的测试方法同纵向时钟长线延时的测试方法. 只有将纵向时钟长线和横向时钟长线的延时都测试出来才能更好的评估 FPGA 芯片的时钟 Skew.

表 1 时钟长线“3line”延时测试数据

	长线 A	长线 B	长线 C	长线 D	均值
f_1/MHz	6.114	5.389	5.419	4.909	— — —
f_2/MHz	6.380	5.582	5.621	5.066	— — —
$t_{3\text{line}}/\text{ps}$	170.59	160.48	165.81	157.83	163.63

5 结束语

本文介绍了一种采用环路振荡器结构进行 FPGA 时钟 Skew 测量的方法, 通过多个测试环路整合在同一个测试用例中的方法提高了测试的效率, 通过长线多次叠加和采用不同根长线多次测量平均的方法尽可能地减小了时钟抖动、噪声、测量系统等造成的测量误差, 并通过实际测试验证了该方法的可行性和实用性, 可以较为精确地测量时钟 Skew, 有助于对 FPGA 芯片中的时钟架构的性能进行全面的评价.

参考文献:

[1] 周珊, 王金波, 王晓丹. 基于时序路径的 FPGA 时序分析技术研究[J]. 微电子学与计算机, 2016, 33(1): 76-80.

[2] Chan S. Methods and circuits for measuring clock Skew on programmable logic devices: US, US 6862548 B1[P]. 2005.

[3] 伍翠萍, 何波, 于奇, 等. 一种低电压低功耗的环形压控振荡器设计[J]. 微电子学与计算机, 2008, 25(5): 69-72.

[4] 周宜银, 房宗良, 朱玲赞. 导线中电传输速度的测量[J]. 仪器仪表学报, 2006, 27(增刊 1): 95-97.

作者简介:

谢长生 男, (1968-), 高级工程师. 研究方向为 FPGA 芯片设计.

于宗光(通讯作者) 男, (1964-), 研究员, 博士生导师. 研究方向为集成电路设计与可靠性. E-mail: yuzg58@163.com.

张艳飞 女, (1981-), 工程师. 研究方向为 FPGA 芯片设计.

王德龙 男, (1988-), 工程师. 研究方向为数模混合集成电路设计.

胡 凯 男, (1984-), 工程师. 研究方向为 FPGA 芯片设计.